



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 10 2004 050 621 A1 2005.06.02

(12)

Offenlegungsschrift

(21) Aktenzeichen: 10 2004 050 621.3
(22) Anmeldetag: 18.10.2004
(43) Offenlegungstag: 02.06.2005

(51) Int Cl.⁷: H03K 5/13
B41F 33/14

(66) Innere Priorität:
103 51 218.7 03.11.2003

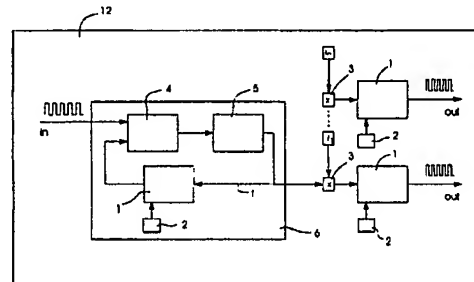
(71) Anmelder:
Heidelberger Druckmaschinen AG, 69115
Heidelberg, DE

(72) Erfinder:
Jasniewicz, Boris, 69115 Heidelberg, DE; Keyl,
Hartmut, 69207 Sandhausen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: Schaltkreis zur Taktinterpolation

(57) Zusammenfassung: Die vorliegende Erfindung betrifft einen Schaltkreis (7) und ein Verfahren zur Verarbeitung eines Eingangssignals (In) mit einer ersten Frequenz und zur Ausgabe wenigstens eines Ausgangssignals (Out), dessen Frequenz ein Mehrfaches der ersten Frequenz des Eingangssignals (In) beträgt. Die Erfindung zeichnet sich dadurch aus, dass das Eingangssignal (In) in einem PLL-Frequenzmesskreis (6) in Bezug auf Frequenz und Phase gemessen wird und dass das gemessene Eingangssignal (In) mittels wenigstens eines Frequenzmultiplikators (3) und eines sich daran anschließenden Oszillators (1) vervielfacht wird.



Beschreibung

[0001] Die vorliegende Erfindung betrifft einen Schaltkreis und ein Verfahren zur Verarbeitung eines Eingangssignals mit einer ersten Frequenz und zur Ausgabe wenigstens eines Ausgangssignals, dessen Frequenz ein Mehrfaches der ersten Frequenz des Eingangssignals beträgt.

Stand der Technik

[0002] Die Steuerung von Druckmaschinen ist heute aufgrund der großen Genauigkeitsanforderungen ohne den Einsatz von Drehgebern an rotierenden Bauteilen dieser Maschinen undenkbar. Insbesondere bei Druckmaschinen ohne durchgehende mechanische Antriebsverbindungen zwischen einzelnen Druckwerken in Einzelantriebsbauweise ist es erforderlich, sämtliche einzeln angetriebenen Druckzylinder mit Drehwinkelgebern zu versehen, um die nicht mechanisch miteinander gekoppelten Druckwerke registergenau betreiben zu können. Drehwinkelgeber erfassen dabei den Drehwinkel aufgetragen über der Zeit eines rotierenden Bauteils wie z.B. eines Druckzylinders, um den Drehwinkel in ein elektrisches Signal umzuwandeln, welches einer Maschinensteuerung der Druckmaschine zugeführt werden kann. Mittlerweile werden jedoch die Drehgeber nicht nur zur Synchronisation von Druckzylindern benötigt sondern auch zur Steuerung des Bebilderungsvorgangs bei Plattenbelichtern und bei sogenannten DI-Druckmaschinen, d. h. Offsetdruckmaschinen, bei denen der Plattenzylinder in der Maschine z.B. mittels eines Lasers beschrieben und damit bebildert wird. Um diese Bebilderung ausreichend präzise vornehmen zu können, muss das Signal des am rotierenden Plattenzylinder eingesetzten Drehwinkelgebers über eine hohe Auflösung verfügen.

[0003] Bei Drehwinkelgebern ist grundsätzlich zwischen einer physikalischen Auflösung und einer interpolierten Auflösung zu unterscheiden. Wenn ein Drehgeber über eine Umdrehung eine Unterteilung von z.B. 360 Schritten aufweist, so entspricht dies seiner physikalischen Auflösung. Dieses Signal kann in einer elektronischen Schaltung mittels Interpolation in ein höher auflösendes Format umgewandelt werden, wobei hierbei typischerweise Fehler auftreten. Zur Winkelinterpolation sind aus dem Stand der Technik mehrere Möglichkeiten bekannt. Eine aus der Antriebstechnik bekannte Lösung zur Erzeugung hochauflösender Drehwinkelinformation ist dabei die Verwendung von Drehgebern mit Sinus-/Cosinus-Ausgangssignalen, aus denen unter Zuhilfenahme eines Arcustangensverfahrens der Momentanwinkel berechnet wird. Um die gewünschte hohe Auflösung mit Sinus-/Cosinus-Drehgebern zu erreichen müssen diese mit sehr hohen physikalischen Teilungszahlen arbeiten, da mit solchen Verfahren Interpolationsfaktoren größer 100 sehr schwierig zu realisieren sind.

Dies ist konstruktiv sehr aufwendig und daher entsprechend teuer. Die bei diesen Drehgebern zur Erhöhung der Auflösung daher häufig eingesetzten Interpolationsverfahren lassen entweder gar keine oder nur eine sehr grobe Variationen des eingesetzten Interpolationsfaktors zu, wobei dieser meist nur ganzzahlig ist. Bei der Bebilderung eines Plattenzylinders in der Druckmaschine müssen jedoch an dezidierten Winkelpositionen Takte erzeugt werden, was rationale Interpolationsfaktoren erfordert, die noch dazu variabel sind.

[0004] Eine weitere aus dem Stand der Technik bekannte Möglichkeit zur Erzeugung hochauflöster, winkelsynchroner Taktsignale ist der Einsatz eines digitalen Inkrementalgebers mit einem binären Ausgangssignal, auch TTL-Drehgeber genannt, wobei TTL für "Transistor Transistor Logik" steht, angebunden an einen sogenannten Phasenregelkreis (PLL), wie er z.B. zur Frequenzvervielfachung von binären Taktsignalen verwendet wird. Der Begriff PLL steht für "Phase Locked Loop", ein Regelkreis, dessen Ausgangssignal phasengleich dem Eingangssignal nachgeregelt wird. Dabei kann ein Taktausgangssignal erzeugt werden, dessen Frequenz ein beliebiges Vielfaches der Frequenz des binären Ausgangssignals des Drehgebers beträgt, ohne dass die Phaseninformation dabei verloren geht. Wenn rationale Vielfache der Frequenz des binären Ausgangssignals des Drehgebers gefordert sind, wird dabei eine Technik angewandt die unter dem Namen "Fractional-N" bekannt ist. Hierbei befindet sich im Rückkopplungs-zweig des Phasenregelkreises ein programmierbarer Frequenzteiler, welcher eine zeitliche Variation des Teilverhältnisses erlaubt. Durch die zeitliche Variation des Teilverhältnisses kann die Eingangsfrequenz des Phasenregelkreises um den zeitlichen Mittelwert herum in rationalen Faktoren vervielfacht werden, obwohl der Phasenregelkreis grundsätzlich nur durch ganze Zahlen teilen kann. Soll z.B. das Ausgangssignal um den Faktor 10,5 höher sein, so muss das Teilverhältnis des Frequenzteilers jeweils abwechselnd zwischen 10 und 11 variiert werden, so dass sich über die Zeit gemittelt ein Faktor von 10,5 ergibt. Bei der "Fractional-N" Technik ist besonders die prinzipbedingte Entstehung eines systematischen Fehlers nachteilig, da die Variation der Teilverhältnisse des programmierbaren Teilers am Ausgang des Phasendetektors im Phasenregelkreis Störungen erzeugt.

[0005] Einen ähnlichen Ansatz verfolgt eine Methode zur Frequenzvervielfachung, bei welcher der Ausgangstakt eines Drehgebers über eine Periodendauer gemessen wird und anschließend die vervielfachte Frequenz des Ausgangstaktes berechnet wird. Um den Ausgangstakt phasenrichtig mit dem Eingangstakt zu koppeln, wird auch hier ein Phasenregelkreis eingesetzt, wobei dieser Phasenregelkreis zur direkten Durchsteuerung der Frequenz des Ein-

gangssignals aufgebaut ist, um eine ständige Korrektur des Phasenfehlers im Ausgangssignal vorzunehmen. Dieses Verfahren ist in der Gebrauchsmusterschrift AT 004 985 U1 ausführlich beschrieben.

[0006] Aus dem Bereich des Druckmaschinenbaus ist aus der DE 197 43 943 A1 eine Möglichkeit zur Frequenzvervielfachung des binären Taktsignals eines TTL-Drehgebers bekannt, bei der die Erzeugung eines Ausgangstaktssignals mit einem Vielfachen des Eingangssignals mittels einer normalen PLL-Frequenzvervielfachungsschaltung geschieht. Das Ausgangssignal der Frequenzvervielfachungsschaltung stellt das Versorgungstaktssignal eines sogenannten DDS-Frequenzgenerators dar, wobei DDS für „Direct Digital Synthesis“ steht. Diese Bauweise hat jedoch den Nachteil, dass bei einem solchen normalen Phasenregelkreis die Erzeugung des Versorgungstaktes für den DDS-Frequenzgenerator nur in einem sehr begrenzten Frequenzbereich funktioniert.

Aufgabenstellung

[0007] Es ist daher Aufgabe der vorliegenden Erfindung, ein aus einem Schwingungssignal interpoliertes, hochauflösenderes Ausgangssignal zu erzeugen und dabei die genannten Nachteile des Stands der Technik zu vermeiden.

[0008] Die vorliegende Aufgabe wird durch die Patentansprüche 1 und 15 erfindungsgemäß gelöst. Weitere Ausgestaltungen der Erfindung sind den Unteransprüchen und den Zeichnungen zu entnehmen.

[0009] Mittels des erfindungsgemäßen Schaltkreises und des erfindungsgemäßen Verfahrens ist es einfach möglich, ein Schwingungssignal mit einer bestimmten Frequenz zu vervielfachen. Der Schaltkreis kann dabei sowohl in Analogtechnik, als auch in Digitaltechnik aufgebaut sein.

[0010] In einer ersten Ausgestaltung der Erfindung ist der Schaltkreis digital aufgebaut. Dieser digitale Aufbau macht sich die Eigenschaft eines Phasenregelkreises (PLL) zu Nutze, dass dieser die Frequenz des Eingangssignals messen kann. Solange der Phasenregelkreis dabei im eingerasteten Zustand arbeitet, gehen keine Phaseninformationen verloren, so dass das Ausgangssignals des Phasenregelkreises phasengleich proportional zur Frequenz des Eingangssignals ist. Weiterhin wird das Ausgangssignal des Phasenregelkreises mittels eines Frequenzmultiplikators vervielfacht und an den Eingang eines Oszillators weitergegeben, dessen Ausgangssignal dann die Frequenz des erwünschten Ausgangstaktes hat. Bei einem solchen System wird die Phase des Ausgangstaktes nicht mehr geregelt sondern nur noch gesteuert, weshalb das Verfahren in einem vollständig digitalen System realisiert werden muss. Der große Vorteil der Erfindung liegt darin, dass hierbei

kein zusätzlicher Implementierungsaufwand getrieben werden muss, um einen systematischen Fehler zu korrigieren wie bei der "Fractional-N" Technik, und dass auf der anderen Seite die gewünschte hohe Auflösung eines Drehwinkelgebers erreicht werden kann. Außerdem können bei der Bebilderung von Druckzylindern an dezidierten Winkelpositionen entsprechende Taktsignale ausgegeben werden. Weiterhin bietet ein digitaler Schaltkreis den Vorteil, dass ein großer Frequenzbereich abgedeckt werden kann und dass der Schaltkreis sehr flexibel ausgelegt werden kann, indem einfach entsprechende digitale Bauelemente programmiert werden.

[0011] In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, dass der PLL-Frequenzmesskreis über einen Frequenzmultiplikator an den Eingang eines digitalen Oszillators angebunden ist und dessen Ausgangssignal das Ausgangssignal des digitalen Schaltkreises ist. Wie schon erwähnt lässt sich ein erfindungsgemäßer Schaltkreis nur in vollständig digitaler Technik realisieren, da der Oszillator des Phasenregelkreises mit einem lediglich gesteuerten weiteren Oszillator im Anschluss an die Frequenzvervielfachung synchronisiert werden muss. Aus diesem Grund ist es erforderlich, dass auch der Oszillator am Ausgang des Frequenzmultiplikators ein digitaler Oszillator ist.

[0012] Dabei ist es außerdem vorteilhaft, dass ein in dem PLL-Frequenzmesskreis vorhandener digitaler Oszillator und der an den PLL-Frequenzmesskreis über einen Frequenzmultiplikator angebundene digitale Oszillator mit dem gleichen Systemtaktsignal ansteuerbar sind. Die beiden digitalen Oszillatoren können nur dann synchron arbeiten, wenn sie mit dem gleichen Systemtakt versorgt werden. Nur durch den vollständig digitalen Aufbau des Systems ist es möglich, diesen gleichen Systemtakt an beiden Oszillatoren zu verwenden.

[0013] In einer weiteren vorteilhaften Ausgestaltung der Erfindung ist vorgesehen, dass das Eingangssignal des digitalen Schaltkreises das digitale Ausgangssignal eines Zweikanaldrehgebers ist. Bei Zweikanaldrehgebern laufen beide Ausgangskanäle um 90 Grad phasenversetzt gegeneinander. (Eine Umdrehung eindeutig auflösen kann der digitale Inkrementalgeber nicht. Nur Absolutwertgeber können dies.) Das digitale Ausgangssignal des Zweikanaldrehgebers kann dann für die Verarbeitung im digitalen Schaltkreis genutzt werden. Dabei kann auf normale handelsübliche digitale Inkrementalgeber mit nicht besonders hoher Auflösung zurückgegriffen werden, was die Kosten erheblich senkt.

[0014] Weiterhin ist vorteilhafter Weise vorgesehen, dass der PLL-Frequenzmesskreis über zwei oder mehr Frequenzmultiplikatoren an die Eingänge zweier oder mehrerer zugehöriger digitalen Oszillatoren

angebunden ist und deren Ausgangstaktsignale die Ausgangssignale des Schaltkreises sind. Damit ist es möglich, Ausgangssignale unterschiedlicher Frequenz parallel zur Verfügung stellen zu können, welche phasengekoppelt zu einem gemeinsamen Eingangssignal sind. Alle angebunden digitalen Oszillatoren sind dabei an den Systemtakt angebunden.

[0015] Außerdem ist vorgesehen, dass der digitale Schaltkreis mittels eines programmierbaren Logikbausteins implementiert ist. Ein solches System ist ein programmierbarer Logikbaustein wie bspw. ein CPLD (Complex Programmable Logic Device) oder ein FPGA (Field Programmable Gate Array)..

[0016] Alternativ ist außerdem vorgesehen, dass der digitale Schaltkreis mittels eines Signalprozessors implementiert ist. Ein Signalprozessor ist im Gegensatz zu einem Logikbaustein auf speziellen Aufgaben im Bereich der digitalen Signalverarbeitung ausgelegt Alternativ oder ergänzend zum DSP bzw. Logikbaustein kann noch ein ASIC verwendet werden. Ein ASIC (Application Specific Integrated Circuit) wird für einen bestimmten Einsatzzweck angefertigt, es ist also ein sehr spezialisiertes Bauelement.

[0017] Es ist aber auch möglich, dass ein Teil des digitalen Schaltkreises in einem programmierbaren Logikbaustein implementiert ist, und ein anderer Teil des digitalen Schaltkreises in einem Signalprozessor oder einem ASIC implementiert ist. Auf diese Art und Weise lassen sich die Vorteile der einzelnen digitalen Bauelemente miteinander verbinden

[0018] Vorteilhafter Weise ist vorgesehen, dass der Frequenzmultiplikator mit einem rationalen Interpolationsfaktor multipliziert. Durch den Einsatz von rationalen Interpolationsfaktoren kann die Auflösung der Winkelsignale des Drehgebers weitgehend stufenlos bestimmt werden, denn nur die binäre Quantisierung begrenzt die Auflösung Erst durch die stufenlose variable Gestaltung der Auflösung ist es möglich, Taktsignale an dezidierten Winkelpositionen zu erzeugen, welche nicht ganzzahligen Vielfachen der physikalischen Auflösung entsprechen. Da dies z.B. bei der Bebilderung von Plattenzylindern in Druckmaschinen erforderlich ist, eignet sich die Erfindung besonders für die Verarbeitung von Winkelsignalen aus Drehgebern in Druckmaschinen oder anderen Bedruckstoffe verarbeitenden Maschinen.

[0019] Die vorliegende Erfindung wird nachfolgend anhand mehrerer Figuren näher beschrieben und erläutert. Es zeigen:

Ausführungsbeispiel

[0020] Fig. 1: ein schematischer Aufbau eines erfindungsgemäßen Phasenregelkreises mit nachge-

schaltetem Frequenzmultiplikator sowie gesteuertem digitalen Oszillator,

[0021] Fig. 2: ein Blockschaltbild eines digitalen Oszillators und

[0022] Fig. 3: die Realisierung eines erfindungsgemäßen digitalen Schaltkreises auf einem programmierbaren Logikbaustein.

[0023] Fig. 1 zeigt den prinzipiellen Aufbau eines erfindungsgemäßen digitalen Schaltkreises beim Einsatz in einer Druckmaschine 12. Der digitale Schaltkreis besteht zum einen aus einem PLL-Frequenzmesskreis 6, der als Eingangssignal In das Ausgangssignal eines Drehgebers empfängt und ein zum Eingangssignal In phasengekoppeltes Signal f ausgibt. Der PLL-Frequenzmesskreis 6 besteht aus einem Phasendetektor zur Bestimmung der Phasendifferenz zwischen dem Eingangssignals In und Signal f sowie einem daran angeschlossenen Regler 5. Das geregelte Signal f wird einem Rückkopplungs-zweig zugeführt, welcher einen digitalen Oszillator 1 aufweist. Der von dem PLL-Frequenzmesskreis 6 ohne Frequenzvervielfachung gemessene und anschließend in einem Frequenzmultiplikator 3 mit einem beliebigen Interpolationsfaktor i_i multiplizierte Wert des Signals f liegt am Eingang eines zweiten digitalen Oszillators 1 an, der das Ausgangssignal Out generiert. Da bei dieser Variante die Phase des Ausgangstaktes Out nicht mehr geregelt, sondern nur noch gesteuert wird, lässt sie sich nur als vollständig digitales System realisieren. Die Phasen der beiden Takte der gesteuerten digitalen Oszillatoren 1 sind aufeinander synchronisiert, indem sie mit dem gleichen Systemtakt 2 versorgt werden, was symbolisch im Blockschaltbild in Fig. 1 die kleinen Blöcke 2 andeuten. An den PLL-Frequenzmesskreis 6 können dabei mehrere Frequenzmultiplikatoren 3 und digitale Oszillatoren 1 angeschlossen sein, so dass bei unterschiedlichen Interpolationsfaktoren i_1 bis i_n Ausgangssignale out mit unterschiedlichen Frequenzen ausgegeben werden können. Diese Ausgangssignale out stehen parallel zur Verfügung und sind alle mit dem Eingangssignal In phasengekoppelt.

[0024] Es stellt sich die Frage, warum die Messung der Frequenz des Eingangssignals In nicht direkt z.B. mit Hilfe eines Mikrocontrollers erfolgt. Der Grund hierfür ist die phasengeregelte Messung der Frequenz durch den PLL-Frequenzmesskreis 6. Wegen des integralen Zusammenhangs zwischen Frequenz und Phase werden bei einer einfachen Frequenzmessung Fehler wie z.B. das Quantisierungsrauschen der digitalen Multiplikation oder die zeitliche Quantisierung des Eingangssignals unkontrolliert aufsummiert, d. h. die Information über den Drehwinkel eines rotierenden Bauteils an der Druckmaschine 12 geht verloren. Im Gegensatz hierzu misst ein PLL-Frequenzmesskreis 6 die Frequenz des Ein-

gangssignals In ohne Verlust der Phaseninformation, denn die Phase wird, solange der PLL-Frequenzmesskreis 6 im eingerasteten Zustand arbeitet, immer wieder eingefangen. Dieser Sachverhalt lässt sich auch mathematisch ausdrücken. Die gemessene Frequenz setzt sich aus einem tatsächlichen Anteil $f_{in}(t)$ und einem Fehleranteil $f_e(t)$ zusammen, so dass für die Frequenz $f_{out}(t)$ des Ausgangssignals

$$f_{out}(t) = i \cdot f_m(t) = i \cdot (f_{in}(t) + f_e(t))$$

bzw. nach der Integration für seine Phase

$$\begin{aligned} \varphi_{out}(t) &= i \cdot \int_0^t 2\pi f_{in}(\tau) d\tau + i \cdot \int_0^t 2\pi f_e(\tau) d\tau \\ &= i \cdot \varphi_{in}(t) + i \cdot \varphi_e(t) \end{aligned}$$

gilt. Der PLL-Frequenzmesskreis 6 sorgt nun dafür, dass $f_e(t)$ keinen Gleichanteil enthält und $\varphi_e(t)$ innerhalb abschätzbarer Grenzen bleibt. Im Fall der einfachen Frequenzmessung entfiel die Phasenregelung und der Fehler wäre nicht begrenzt. Die frequenzmessende Eigenschaft eines PLL-Frequenzmesskreises 6 kann daher direkt dazu verwendet werden, um ein Taktsignal Out zu erzeugen, dessen Frequenz ein rationales Vielfaches i der Frequenz eines ersten Taktsignals In beträgt und dessen Phase an die Phase des ersten Taktsignals In gekoppelt ist.

[0025] Gemäß **Fig. 3** wird das vollständig digitale System aus **Fig. 1** in einem programmierbaren Logikbaustein 7 implementiert. Es ist auch möglich, das System innerhalb eines Signalprozessors zu realisieren oder beide Varianten zu mischen und die verschiedenen Komponenten auf programmierbare Logikbausteine 7 und Signalprozessoren aufzuteilen. In **Fig. 3** kommen links die beiden Kanäle A, B eines hier nicht gezeigten Drehgebers an. Die beiden Signale sind um 90° el. phasenverschoben. Eine Vervierfachungsschaltung 8 wertet fallende und steigende Flanken der beiden Kanäle A und B aus. Das somit erzeugte Signal bildet das Eingangssignal In für den PLL-Frequenzmesskreis 6, der die Frequenz des Eingangssignals In misst. An den PLL-Frequenzmesskreis 6 schließt sich der eigentliche Takterzeugungsschaltkreis 10 an, in dem der durch den PLL-Frequenzmesskreis 6 gelieferte Messwert f mit einem entsprechenden Interpolationsfaktor i mittels eines Frequenzmultiplikators 3 skaliert auf den Eingang eines digitalen Oszillators 1 gegeben wird, der als Nutztakt CLK out das Ausgangssignal Out generiert. In einer Registerbank 11 des Logikbausteins 7 befinden sich les- und schreibbare Parameter der gesamten Schaltung, so dass diese universell einsetzbar ist.

[0026] In **Fig. 2** ist das Blockschaltbild eines digitalen Oszillators 1 zu sehen, wobei der nachlaufende Oszillator 1 des PLL-Frequenzmesskreises 6 und der Oszillator 1 im Takterzeugungsschaltkreis 10 beide

jeweils als einfache Phasenakkumulatoren aufgebaut sind. Bei solchen Akkumulatoren wird z.B. ein binäres Wort f_w , das die Frequenz f des Oszillators 1 repräsentiert, mit einem Systemtakt 2, hier f_{clk} akkumuliert. Als Taktausgang CLK out verwendet die Schaltung das Überlaufbit des Akkumulators. Die Frequenz f_{osc} des Ausgangssignals CLK out beträgt dann

$$f_{osc} = \frac{f_w}{2^n} \cdot f_{clk}$$

[0027] Zusätzlich gibt es einen Ausgang P, an dem der aktuelle Wert des Phasenakkumulators ansteht. Dies ermöglicht eine im Folgenden beschriebene einfache schaltungstechnische Realisierung der Phasendetektorfunktion. Den Phasendetektor 4, der die Phasenverschiebung zwischen dem Eingangstakt In des PLL-Frequenzmesskreises 6 und dem Ausgangstakt CLK out des nachlaufenden gesteuerten Oszillators 1 misst, stellt die Abtastung des Phasensignals P des nachlaufenden Oszillators 1 durch das Eingangssignal des PLL-Frequenzmesskreises 6 dar: Die Eingangsimpulse schreiben den Inhalt des Phasenakkumulators in ein Register des Logikbausteins 7. Der Registerinhalt repräsentiert im Zweierkomplement die Phasenverschiebung zwischen dem Eingangssignal In und dem Ausgangssignal CLK out des nachlaufenden Oszillators 1.

[0028] Der Regler 9 wird dabei als digitale Rechenschaltung, z.B. als digitaler PI-Regler 9, implementiert. Der Frequenzmultiplikator 3, der das Frequenzwort des nachlaufenden Oszillators 1 des PLL-Frequenzmesskreises 6 mit dem Interpolationsfaktor i skaliert, stellt die eigentliche Winkelinterpolation dar: Hier wird die Frequenz f des Eingangssignals In vervielfacht. Die Implementierung der Skalierungsoperation erfolgt als $n \times n$ -Bit-Multiplikation.

Bezugszeichenliste

1	Digitaler Oszillator
2	Systemtaktsignal
3	Frequenzmultiplikator
4	Phasendetektor
5	Regler
6	PLL Frequenzmesskreis
7	Programmierbarer Logikbaustein
8	Vervierfachungsschaltung
9	Digitaler PI-Regler
10	Takterzeugungsschaltkreis
11	Registerbank
12	Druckmaschine
In	Eingangssignal

Out	Ausgangssignal
P	Phasensignal
f	Frequenzsignal
CLK	out Ausgangstaktsignal
I	Interpolationsfaktor
A	Kanal 1 des Drehgebers
B	Kanal 2 des Drehgebers

Patentansprüche

1. Schaltkreis (7) zur Verarbeitung eines Eingangssignals (In) mit einer ersten Frequenz und zur Ausgabe wenigstens eines Ausgangssignals (Out), dessen Frequenz ein Mehrfaches der ersten Frequenz des Eingangssignals (In) beträgt, **dadurch gekennzeichnet**, dass das Eingangssignal (In) in einem PLL-Frequenzmesskreis (6) in Bezug auf Frequenz und Phase messbar ist und dass das gemessene Eingangssignal (In) mittels wenigstens eines Frequenzmultiplikators (3) und eines sich daran anschließenden Oszillators (1) vervielfachtbar ist.

2. Schaltkreis (7) nach Anspruch 1, dadurch gekennzeichnet, dass der Schaltkreis (7) digital aufgebaut ist.

3. Schaltkreis (7) nach Anspruch 2, dadurch gekennzeichnet, dass das vervielfachte Eingangssignals (In) als phasengleiches Ausgangssignal (out) ausgebbar ist.

4. Schaltkreis (7) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Schaltkreis (7) als Eingangssignal (In) ein Drehwinkeleingangssignal (In) von einem Drehgeber verarbeitet und ein Ausgangssignal (Out) ausgibt, welches eine mehrfache Auflösung des Drehwinkeleingangssignals (In) aufweist.

5. Schaltkreis (7) nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass der PLL-Frequenzmesskreis (6) über einen Frequenzmultiplikator (3) an den Eingang eines digitalen Oszillators (1) angebunden ist und dessen Ausgangstaktsignal (CLK OUT) das Ausgangssignal (Out) des digitalen Schaltkreises (7) ist.

6. Schaltkreis (7) nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, dass ein in dem PLL-Frequenzmesskreis (6) vorhandener digitaler Oszillator (1) und der an den PLL-Frequenzmesskreis (6) über einen Frequenzmultiplikator (3) angebundene digitale Oszillator (1) mit dem gleichen Systemtaktsignal (2) ansteuerbar sind.

7. Schaltkreis (7) nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, dass der PLL-Frequenzmesskreis (6) über zwei oder mehr Frequenzmultiplikatoren (3) an die Eingänge zweier oder mehrerer zugehöriger digitaler Oszillatoren (1) angebun-

den ist und deren Ausgangstaktsignale (CLK OUT) die Ausgangssignale (Out) des Schaltkreises (7) sind.

8. Schaltkreis (7) nach einem der Ansprüche 2 bis 7, dadurch gekennzeichnet, dass als Drehwinkeleingangssignal (In) des Schaltkreises (7) das digitale Ausgangssignal (A, B) eines Zweikanaldrehgebers dient.

9. Schaltkreis (7) nach einem der nach einem der Ansprüche 2 bis 8, dadurch gekennzeichnet, dass der Schaltkreis (7) mittels eines programmierbaren Logikbausteins implementiert ist.

10. Schaltkreis (7) nach einem der Ansprüche 2 bis 8, dadurch gekennzeichnet, dass der Schaltkreis (7) mittels eines Signalprozessors implementiert ist.

11. Schaltkreis (7) nach einem der Ansprüche 2 bis 8, dadurch gekennzeichnet, dass der Schaltkreis (7) mittels eines ASIC implementiert ist.

12. Schaltkreis (7) nach einem der Ansprüche 2 bis 11, dadurch gekennzeichnet, dass ein Teil des Schaltkreises (7) in einem programmierbaren Logikbaustein, in einem ASIC oder einem Signalprozessor implementiert ist, und ein anderer Teil des digitalen Schaltkreises (7) in einem der beiden anderen digitalen Bauelemente aus der vorgenannten Gruppe implementiert ist.

13. Schaltkreis (7) nach einem der Ansprüche 2 bis 12, dadurch gekennzeichnet, dass der Frequenzmultiplikator (3) einen rationalen Interpolationsfaktor (i) aufweist.

14. Bedruckstoffe verarbeitende Maschine (12) mit einem Schaltkreis (7) nach einem der Ansprüche 1 bis 13.

15. Verfahren zur Verarbeitung eines Eingangssignals (In) mit einer ersten Frequenz und zur Ausgabe wenigstens eines Ausgangssignals (Out), dessen Frequenz ein Mehrfaches der ersten Frequenz des Eingangssignals (In) beträgt, dadurch gekennzeichnet, dass das Eingangssignal (In) in einem PLL-Frequenzmesskreis (6) in Bezug auf Frequenz und Phase gemessen wird und dass das gemessene Eingangssignal (In) mittels wenigstens eines Frequenzmultiplikators (3) und eines sich daran anschließenden Oszillators (1) vervielfacht wird.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, dass das vervielfachte Eingangssignal (In) mittels digitaler Signalverarbeitung phasengleich als Ausgangssignal (out) ausgegeben wird.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass als Eingangssignal (In) ein Dreh-

winkeleingangssignals (In) von einem Drehgeber
verarbeitet wird.

Es folgen 3 Blatt Zeichnungen

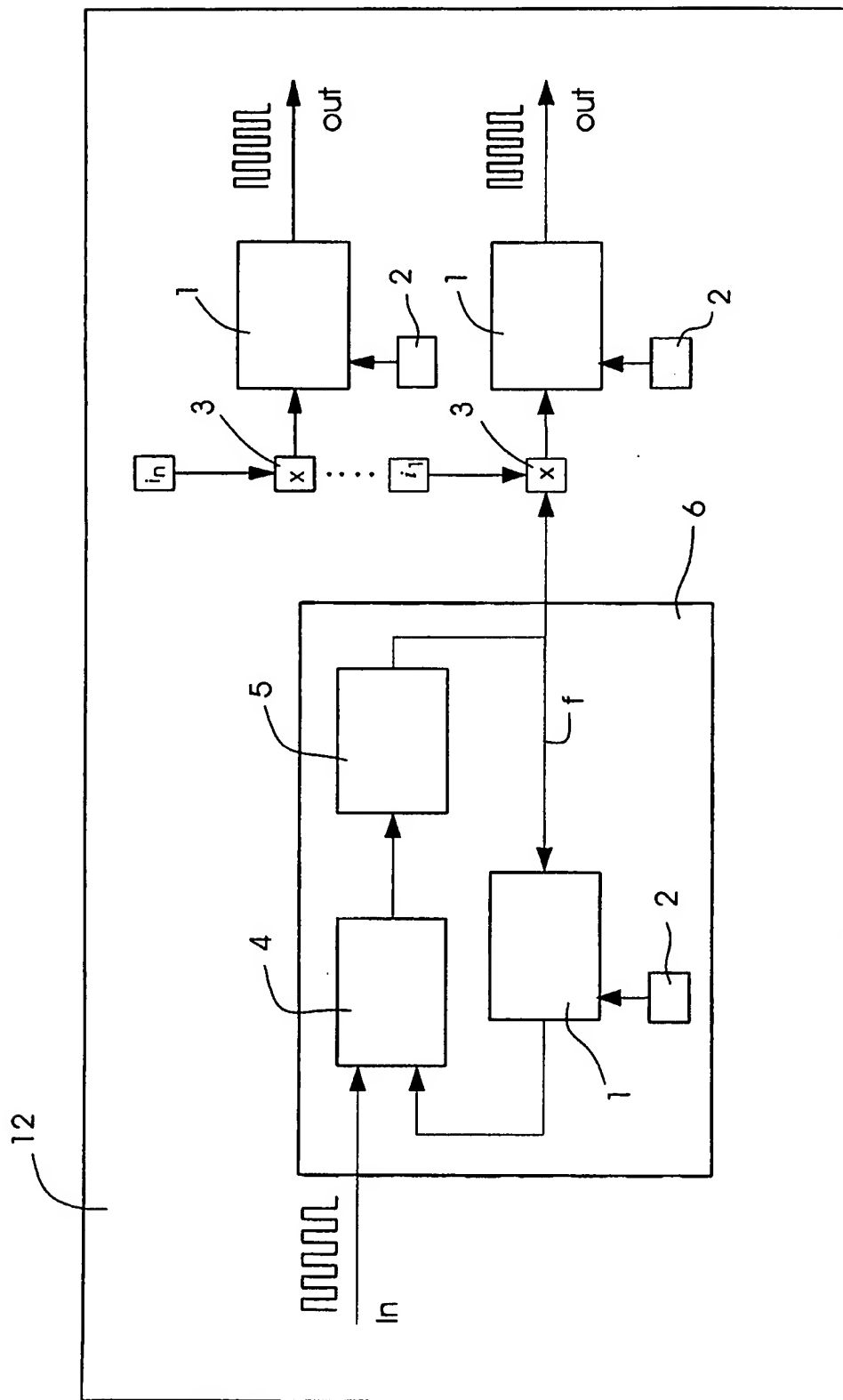


Fig.1

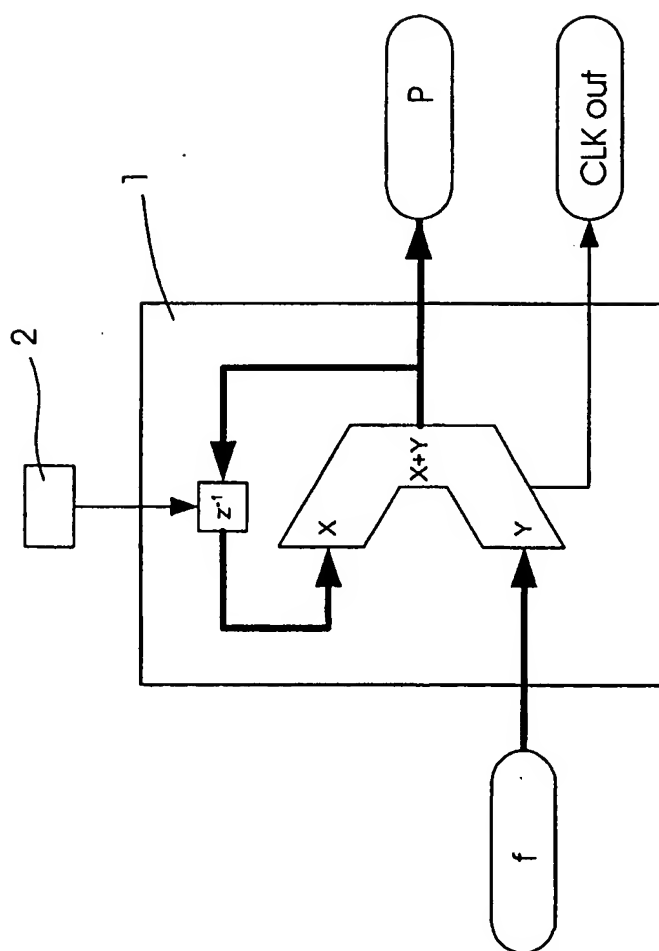


Fig. 2

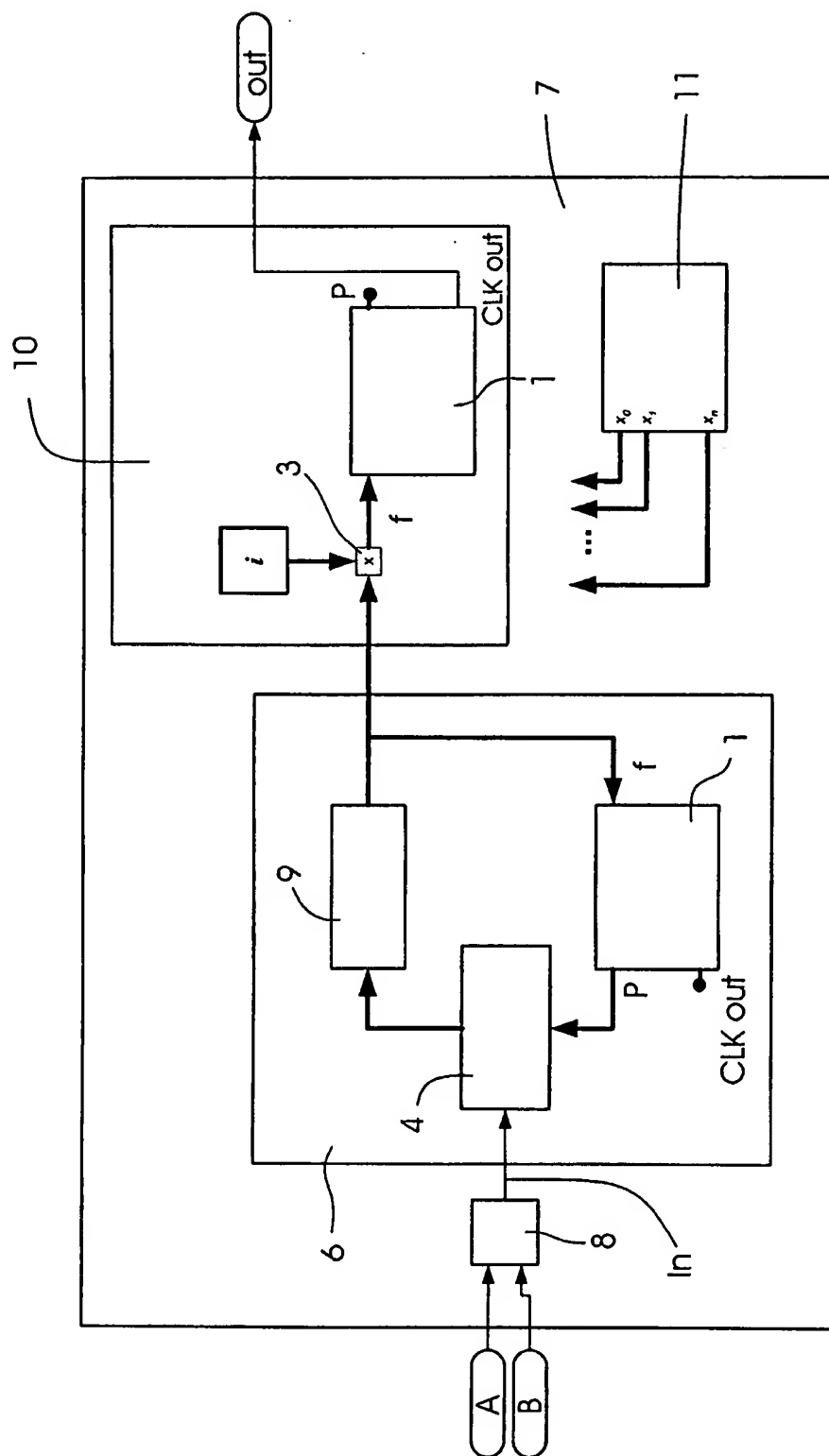


Fig.3